

VLSI 期末复习

一. 部分基本术语与概念

① ASIC (Application Specific Integrated Circuit)

专用集成电路: 即为某一功能/应用专门设计,

不可通用的集成芯片。

② IP (Intellectual Property):

具有自主知识产权的集成电路核或模块

— 可重复使用的、经过验证的集成电路功能模块设计, 用于芯片/系统之快速集成。

③ SoC (System on Chip):

片上系统

把 CPU、存储、接口、总线及其他设备等集成到一颗芯片的完整电子系统。

④ Foundry (代工厂): 只负责制造芯片, 不参与功能设计芯片厂

⑤ 多项目晶圆 (Multi Project Wafer) (MPW)

(TSMC, 三星, 中芯)

— 多个芯片设计共享同一片晶圆进行制造, 以降低流片成本。

⑥ ALU (算术逻辑单元) (Arithmetic Logical Unit)

执行加减乘除和逻辑运算等计算功能的处理器核心部件。

⑦ VLSI (超大规模集成电路) (Very Large Scale Integrated Circuit)

在一块芯片上集成数十万到数十亿个元件的集成电路

⑧ MCU (微控制器) (Micro Controller Unit)

将处理器/存储器/外设集成在一颗芯片的嵌入式控制芯片。

⑨ MPU (微处理器) (Micro Processor Unit)

以通用计算为核心, 需外接存储/外设的处理器芯片

三. MOS器件与工艺基础

1. MOS晶体管基本电流/电压

① 截止区: $V_{GS} < V_{IN}$ (条件) $\rightarrow I_{DS} = 0$ (相当于“关”)

② (非饱和区) 条件: $V_{GS} > V_{IN}, V_{DS} < V_{GS} - V_{IN}$

(线性区) 电流条件: $I_{DS} = k_n [2(V_{GS} - V_{IN})V_{DS} - V_{DS}^2]$

物理意义: 沟道形成, 类似模拟互接电阻

③ 饱和区 (条件: $V_{GS} \geq V_{IN}, V_{DS} > V_{GS} - V_{IN}$)

电流公式: $k_n (V_{GS} - V_{IN})^2 = I_{DS}$ (理想)

考虑沟道调制:

$$I_{DS} = k_n (V_{GS} - V_{IN})^2 \cdot (1 + \lambda V_{DS})$$

饱和区

$$I_{DS} \propto (V_{GS} - V_{IN})^2$$

非线性

物理: 靠近漏端的沟道被“夹断”, 电流主要由 V_{GS} 决定

(开)

④ 电流增益系数 k_n

$$k_n = k_n' \frac{W}{L} \quad (\text{沟道宽度/长度})$$

$k_n \uparrow$, 电流大

μ_n 电子迁移率

⑤ 工艺参数 $k_n' = \frac{\mu_n \epsilon_{ox}}{2t_{ox}}$

ϵ_{ox} : 栅氧化层介电常数

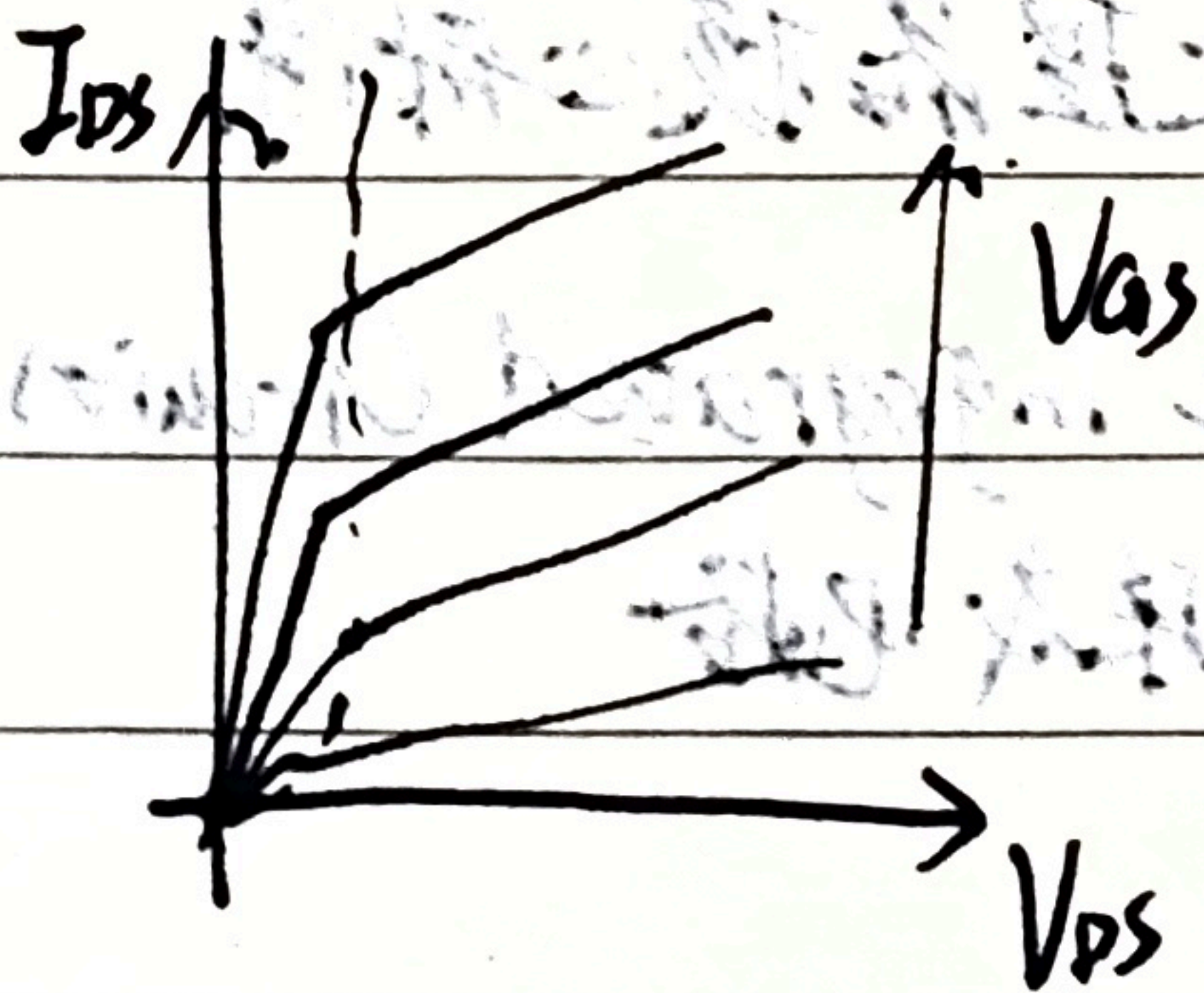
工艺决定

t_{ox} : 栅氧厚度

⑥ 特性曲线 ($I_{DS} - V_{DS}$) (V_{GS})

⑦ NMOS 转移特性

($I_{DS} - V_{GS}$) (饱和区)



增强NMOS

$$V_{GS} < V_{IN} : I_D = 0$$

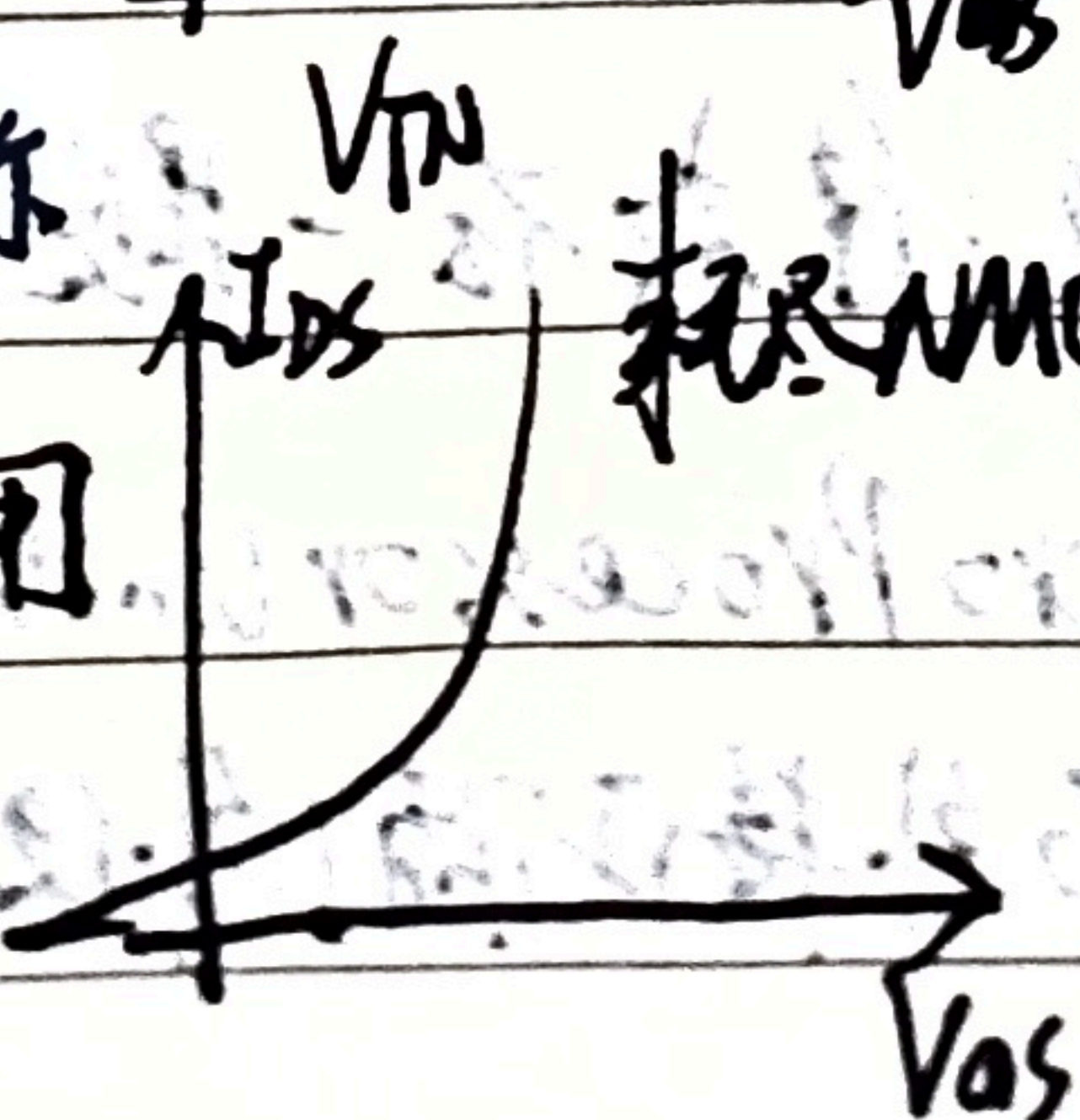
$$V_{GS} > V_{IN} : I_D \text{ 二次方上升}$$

PMOS 转移特性与 NMOS 中心对称

耗尽NMOS

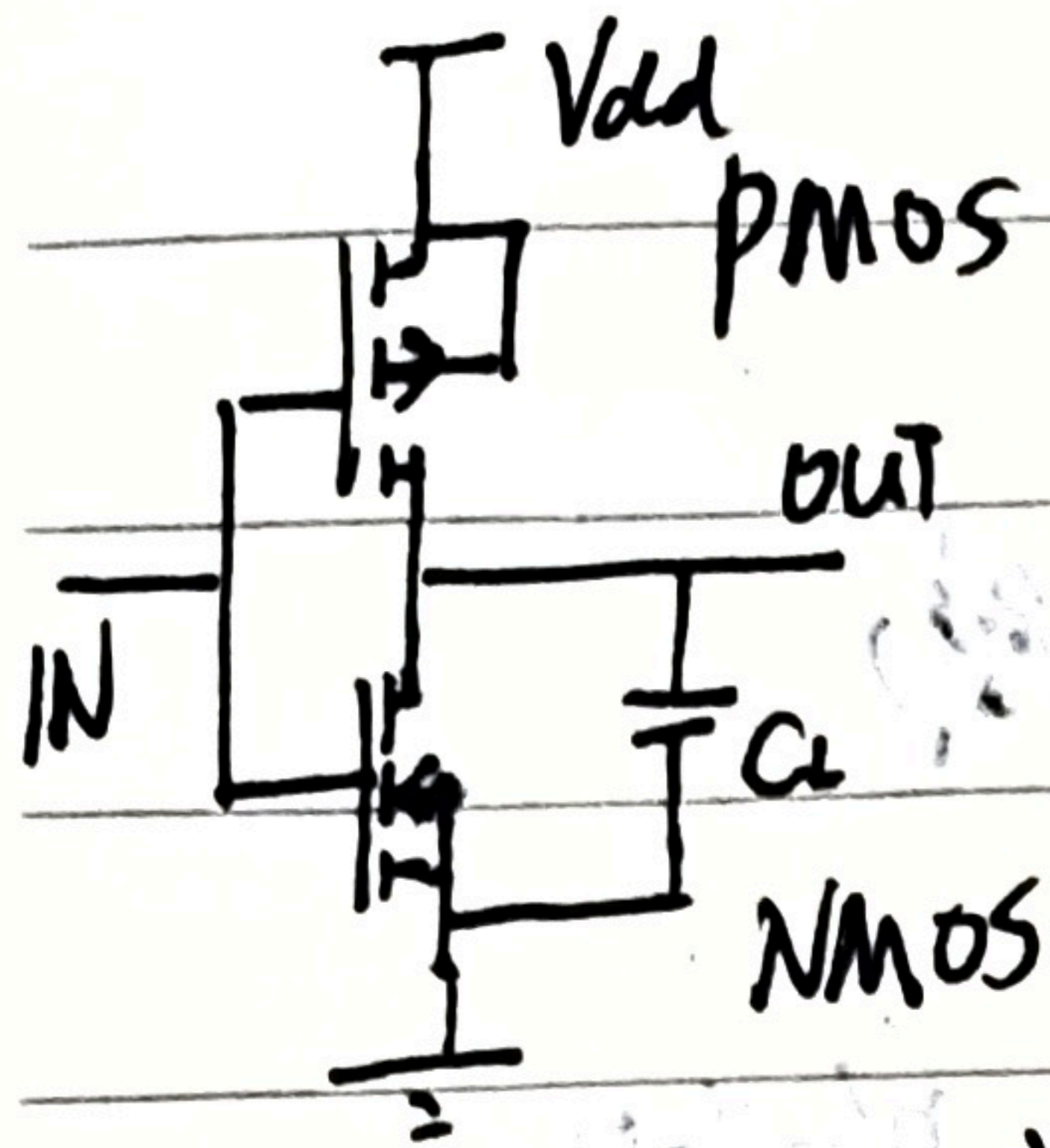
$V_{GS} = 0$ 也可导通

CMOS 就是 NMOS + PMOS 互补使用



VLSI

2. CMOS 倒相器及设计 (公式不考)



PMOS ① PMOS 拉高; NMOS 拉低; C_L 决定延迟

上升时间 t_r : 输出信号从 $0.1 V_{dd}$ 到 $0.9 V_{dd}$ 的时间

下降时间 t_f : 从 $1 V_{dd}$ 到 $0.1 V_{dd}$ 所需时间

② $\alpha = \frac{V_t}{V_{dd}}$ 阈值电压占电源电压的比例

(0.1 ~ 0.4)

③ $t_r \propto T_p$ (线性 + 电容负载) (PMOS 决定)

$t_f \propto T_n$ (NMOS 决定)

④ 对 MOS 电流积分, $\text{arctanh}(x) = \frac{1}{2} \ln \left(\frac{1+x}{1-x} \right) \rightarrow$ 非线性结果

⑤ 倒相器设计要求波形对称

即 $t_r = t_f$ (上升 = 下降), $T_p = \frac{C_L}{k_p V_{dd}}$; $T_n = \frac{C_L}{k_n V_{dd}}$

* ⑥ 同一工艺下 (ϵ_{ox} , t_{ox}) 相同 (唯一不同为 μ_p, μ_n)

由 $k_p = k_n$ (需要此) \rightarrow 得: $k_p \left(\frac{W}{L} \right)_p = k_n \left(\frac{W}{L} \right)_n$

⑦ 由于电子迁移率 (电子 > 空穴), 其他条件相同 (氧化层相同 (PMOS))

\therefore 只有保证 $\frac{(W/L)_p}{(W/L)_n} = \frac{\mu_n}{\mu_p}$, 才能保证波形对称

$k_n' = \frac{\mu_n \epsilon_{ox}}{2t_{ox}} \rightarrow k_n = k_n' \left(\frac{W}{L} \right)_n$

3.

△ 倒相器设计推导总结:

$$t_n = t_p$$

阈值电压相同 (V_t)

$\downarrow k_n \propto \mu_n \left(\frac{W}{L} \right)_n$

目的: 波形对称 \rightarrow

$$T_n = T_p$$

需要 $k_p = k_n$

① 设计目标: $t_r = t_f$ (上升 = 下降)

② 相同电容/电源条件下, 上升/下降时间与 PMOS/NMOS 驱动能力成反比,

因此得 $t_r = t_f \Rightarrow k_p = k_n$

③ 同一工艺下, MOS 管栅氧厚度/阈值电压相同, 因为 MOS 驱动可推为

$$k_n' = \frac{\mu_n \epsilon_{ox}}{2t_{ox}}, k_n = k_n' \left(\frac{W}{L} \right)_n$$

④ 因此可推导为 $k_n = k_p \Rightarrow \mu_n \left(\frac{W}{L}\right)_n = \mu_p \left(\frac{W}{L}\right)_p$ (其余项均可抵消)

\therefore 得 $\frac{(W/L)_n}{(W/L)_p} = \frac{\mu_p}{\mu_n}$

4. 与非/或非门结构及其等效倒相器设计方法. (了解)

由于逻辑特性, NMOS串联, PMOS并联

{	(NAND)	(1 1) \Rightarrow 0	(0 0, 0 1)
	(NOR)	(1 1) \Rightarrow 0	(1 0, 0 1)

NMOS并联 PMOS串联

NAND: NMOS串联, $R' = R_0 N$, 所以NMOS的 $(W/L)_n$ 必须为原来之 N 倍; 而PMOS并联, 只要个PMOS, 所以相比倒相器不变.

5. CMOS工艺简化流程. (简建题)

- ①: P型硅衬底准备
- ②: 阱区: 划分NMOS/PMOS各自区域
- ③: 有源区: 划分器件区/非器件区
- ④: 场氧化: 器件之间的隔离, 形成互不干扰
- ⑤: 栅氧化层: 使得 V_{gs} 可以控制沟道
- ⑥: 多晶硅-栅: 使得G极材料, 沟道长度确定
- ⑦: 源/漏 (N^+, P^+) 掺杂: 使得导电路径, 方向确定
- ⑧: 沉积 SiO_2 : 将金属线与MOS器件绝缘隔离
- ⑨: 光刻引线孔: 光刻打孔, 露出源/漏/栅, 以接电
- ⑩: 沉积导线: 器件相连, 金属布线 ($VDD/GND/Sig$)

真正做MOS管 (PMOS)

阱区 \rightarrow 有源区 \rightarrow 场氧化 \rightarrow 栅氧化层 \rightarrow 多晶硅-栅 \rightarrow N^+ 掺杂 \rightarrow 沉积 SiO_2

确定器件范围大小

沉积导线 \leftarrow 光刻引线孔

连成电路

VLSI

三. 设计与工艺接口 (简答题)

1. 总结:

① 工艺线(制造体系)给出 电学设计/版图设计规则,
↓
形成 设计规则文件(DRC).

② 工艺线提供 工艺加工质量的监测方法, 形成 PCM

③ 以上构成设计与工艺双方共同遵守的规则

↓
即 设计和工艺接口.

2. 工艺抽象

工艺抽象就是将复杂的制造工艺, 用设计人员能直接使用的电学参数/几何参数来描述.

包括了 { 对材料参数的抽象
对加工能力的抽象.

3. 工艺对设计的制约

① 工艺的 最小特征尺寸 和 最大可加工面积, 从物理层面限制了设计规模与
↓
最小线宽、最小间距、最小接触孔 宽度

② 电学参数对设计的制约 (V_T, μ, C_{ox} 等).

③ 标准工艺制程对特殊工艺要求的制约 (特殊工艺不被标准工艺支持)

④ 工艺参数 \rightarrow 设计参数 (电参数、几何参数).

(工艺通过抽象, 将工艺限制转化为设计层)

4. 电学设计规则 (ERC)

① ERC 即工艺线设计人员的一套“电学参数说明”，用来以电路分析与仿真，且必须和实际流片一致。

② 不同工艺 (180nm/65nm...)，不同代工厂 (TSMC/中芯...)

电学参数都不一样

仿真须基于真实工艺

③ ERC 参数两大组成部分

a. 器件模型参数

C_{ox} (mos电容), μ_n, μ_p (迁移率) ... 等

决定 MOS 如何工作。

b. 寄生参数 (金属线电容电阻 R_{metal}, C_{metal})

连线/版图带来的真实延迟和功耗。

5. 几何设计规则 (DRC)

最细线条 寄生晶体管

① DRC 是一组几何尺寸限制，对加工精度、寄生效应、特性保障、

质量控制的抽象。

② DRC 给的是一组版图设计的最小允许尺寸。

③ 常见的 VLSI DRC 规则

最小线宽，最小间距，最小孔尺寸等

b. PCM (控制过程监控) (Process Control Monitor)

ERC

① PCM 是晶圆上的一组测试结构，用来监控工艺加工质量并提取器件模型参数

② PCM 主要包括：工艺(线)加工质量评估，DC 测试 (静态参数)，AC 测试 (动态参数)，少量功能器件测试结构 (最小电路测试)

④ PCM 可用于 SPICE 模型参数。

四、晶体管规则阵列设计技术 (11年题)

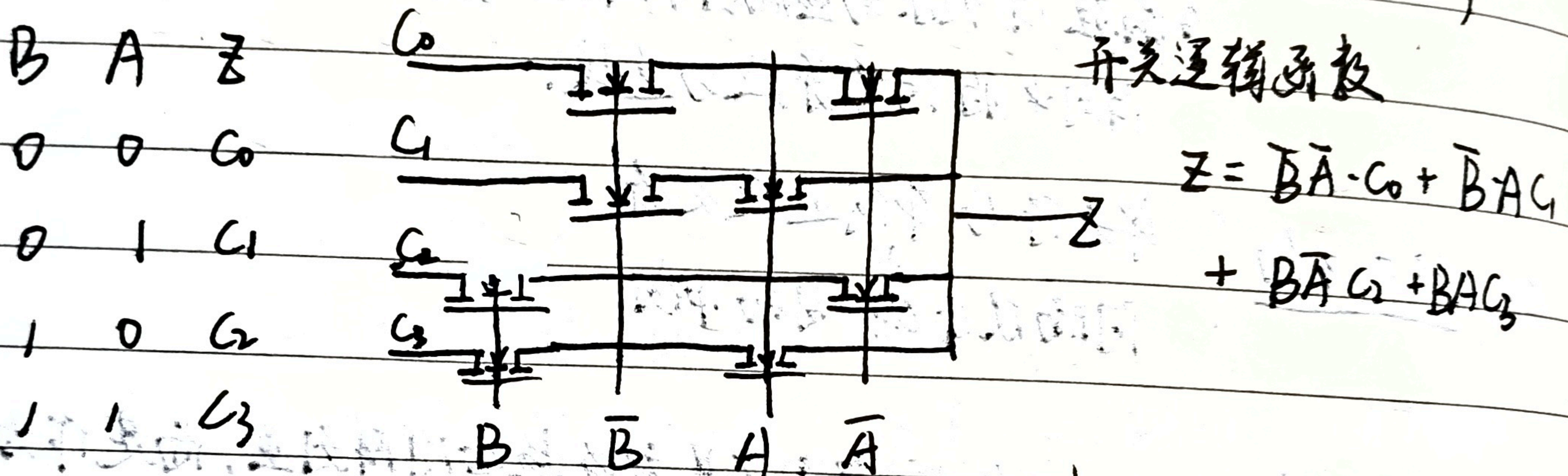
1. 用规则、阵列和模块化的方法, 将大量的晶体管高效地组织成逻辑电路



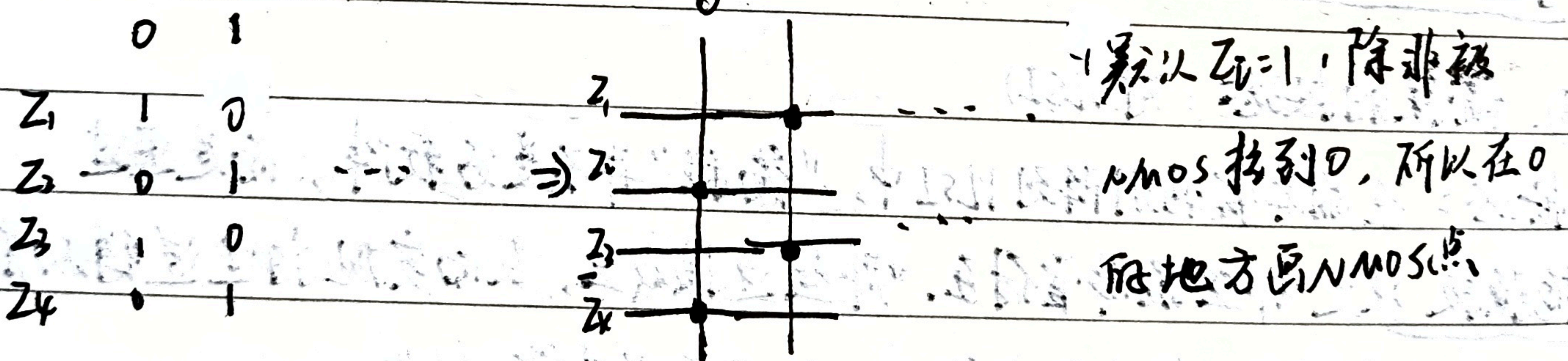
由于VLSI系统高度复杂, 为保证设计正确性, 降低设计难度, 提高效率, VLSI设计中采用大量规则化结构(晶体管规则阵列设计技术), 基本单元为MOS管或CMOS晶体管对。

2. MOS管开关逻辑

多路转换开关MUX (当A=0, B=0, 只有C₀一路全通; 其余存在关断)



3. ROM真值表 (NMOS) 逻辑 (input → 译码 → 选中 → 输出)



4. 可编程逻辑阵列 PLA ⇒ 与平面ROM + 或平面ROM

生成与项 + 组合或项

无译码电路, 直接将输入变量原变量送入阵列

5. 门阵列

① 概念: 门阵列是一种标准化的版图结构, 芯片内部预先排好大量标准门单元, 设计时主要通过金属互连将它们连接为所需逻辑

② 整体结构设计准则

a. 供电 { 电源/地线使用铝引线
 取外圆供电(最粗), 回字型供电
 较粗的内部叉指型供电分配
 (行位置, 宽度一致)

回字型电源环将外部电源(PAD)均匀引入芯片内部, 并作为内部叉指型供电网络的主干

b. 垂直布线法 { 水平方向用铝线互连各单元
 多晶硅条/扩散条 垂直方向穿越单元行通信

多晶硅/扩散条与金属为不同层, 可以正交布线, 前者可用于阵列中的信号穿越与连接。

c. 行式结构 { 单元行与布线通道交替
 间隔仅于CAD自动布线

d. 芯片与外界相连的I/O PAD单元不是放在核心门阵列里, 而是作为可定制(掩膜板)的独立模块, 统一布置在芯片四周。(掩膜板编程)

6. 编程的概念 (对VLSI)

① 概念: 在晶体管规则阵列VLSI中, "编程"并不是写软件, 而是通过掩膜板决定哪些晶体管存在, 哪些连接成立, 从而实现特定逻辑功能。

② ROM的编程 \Rightarrow 掺杂层决定0/1 \leftarrow 开关晶体管, PLA

③ 门阵列, 用金属掩膜板编程。

④ 掩膜板编程 = { ① 一次性(固定, 不是FPGA)

② 编程发生在制造阶段

③ 编程语言是物理结构

VLSI.

五. 单元库设计技术 (简答题)

2. 单元库概念 (3分)

① 概念: 单元库是一组经过专家精心设计, 验证并标准化的电路模块

用来作为VLSI设计的基本拼装单元。

② 作用: 联系底层电路(MOS管等)与上层设计(Verilog等)的桥梁

③ { 局部优化(单元级): 把个逻辑单元本身优化好

全局优化(系统级): 把很多单元放在一起, 整体做好

④ 单元库对象对象: 逻辑器件(逻辑门、功能块^{AND}, 子系统^{MM}、子系统^{AFD}等)

⑤ 单元库分类: 标准单元, IO Cell, Memory (RAM, ROM)

2. 标准单元设计技术


① 标准单元描述特征

a. 高度相同, 宽度不同 (可以自动对齐)

b. 电源线、地线位置宽度一致 { 位置 (VDD在单元上, GND在单元下)
线宽一致 → 有利于自动布线

c. 输入/输出端口规则化 (单元上/下位置固定、方向、网络固定)
量化

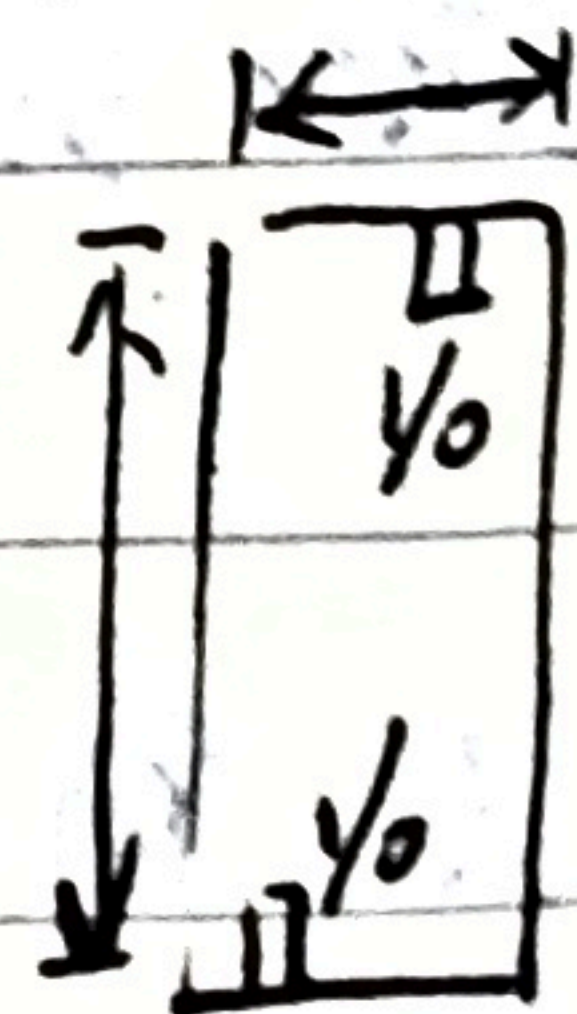
② 标准单元描述形式

a. 逻辑符号 (数化) 

b. 单元拓扑 (物理抽象层): 单元外形尺寸、位置

c. 单元版图 (物理实现层): 工艺设计, 其工艺线关系大。

一套标准单元库只能一条工艺线



③ 标准单元的整体结构 (行式结构)

a. 行式结构: 标准单元按行排列, 相邻单元共享电源的整体布局结构.

b. 芯片行式结构的完成: 选单元, 排成行 (高度对齐), 行另行而列,

① 单元版图 → 单元拓扑 (布局) ② 连接 I/O

连接关系 → 具体连接几何

④ 标准单元设计技术的特点 (总结)

概述: 标准单元是一个具有规则外部形状的单元, 内容是优化设计后的单元版图, 各单元规模相近, 遵守一致布线规则.

单元形状与工艺线强绑定, 标准单元版图采用“行式结构”.
DRC, ERC等规则

⑤ 输入/输出单元 (I/O PAD)

a. I/O PAD 作用: 压焊块: 连接芯片内部与外界
对外驱动, 对内隔离输入保护.

b. I/O PAD 形式: 不仅为压焊块, 还有电路
连接芯片与封装管座 (几十微米矩形)
I/O PAD 基本为标准单元

c. 输入单元 (承担内部电路保护)

主要为 ESD 保护 → 价静电释放通道

意义:
高电流高热量 → 硅/金属烧毁
高电压 → 栅氧化层击穿

d. 输出单元

驱动能力, 防止内部结构过负荷

一定的逻辑功能, 形式各异

例相输出
同相输出
三态输出

金属掩膜覆盖 I/O PAD.

VLSI

方. 名词解释的补充

① VLSIC (Very Large Scale Integrated Circuit)

超大规模集成电路: 指在单一芯片上集成数十万至上亿个晶体管的集成电路, 是现代计算机之核心

② ALU (Arithmetic & Logical Unit)

算术逻辑单元: CPU 核心组成部分, 负责执行所有算术运算 (加减乘除) 和逻辑运算 (与或非)

③ HDL (Hardware Description Language)

硬件描述语言: 用于描述数字电路结构和行为的专用语言。工程师用它代码来定义此功能。

④ VHDL (Very High Speed Integrated Circuit Hardware Description Language)

超高速集成电路, 硬件电路硬件描述语言: 一种功能强大, 语法严谨的标准硬件描述语言, 用于军工/航天等复杂设计。

⑤ Verilog HDL (Verilog Hardware Description Language)

Verilog 硬件描述语言: 另一种行业标准硬件描述语言, 与 C 相似, 易于学习

⑥ IP (Intellectual Property) 知识产权核

指预先设计好的, 经过验证的, 可重复使用的功能模块 (CPU 核, 接口模块)。可使用 IP 核快速构建复杂芯片。

VLSI.

⑦ ASIC (Application Specific Integrated Circuit)

专用集成电路：为执行特定任务而定制设计的芯片，性能高、功耗低，设计成本高昂，不适合通用计算。

⑧ SoC (System on Chip)

片上系统：一种高度集成芯片，将电子系统主要功能(CPU核, RAM, 总线等)都集成到一块芯片上。

⑨ Foundry (代工厂)

专门从事芯片制造的工厂，例如台积电(TSMC)、三星等。

设计公司设计芯片，由代工厂生产

10. MPW (Multi Project Wafer)

多项目晶圆：一种低成本的原型制造服务(流片)，将多个不同设计的芯片放在同一晶圆上制造，以分摊高昂的制造成本。

11. MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)

金属氧化物半导体场效应晶体管，集成电路最基础器件，作为电子开关使用

12. CMOS transistor (Complementary Metal-Oxide-Semiconductor ...)

互补金属氧化物半导体晶体管：使用互补N/P型MOSFET构建逻辑电路

技术，具有低功耗的优点。

13. Wafer (晶圆)

高纯度单晶硅制成的圆盘，是制造芯片的基底。芯片在晶圆上批量制造，

然后切割为单个芯片。

VLSI.

14. MASK (掩膜版)

相当于芯片的照相版片，上面有电路图形，通过光刻工艺将图形转移到晶圆上。

15. MEMS (Micro Electro Mechanical System)

微电子机械系统：将微米级的机械部件、传感器、执行器、电路集成到同一芯片的系统。

16. ADC (Analog to Digital Converter) 模数转换器

17. DAC (Digital to Analog Converter) 数模转换器

18. PVD/CVD (physical/Chemical Vapor Deposition)

物理/化学气相沉积：在晶圆表面生长或沉积薄膜（金属导线、绝缘层）两种关键芯片制造工艺。

19. Bi-CMOS (Bipolar-Complementary Metal-Oxide-Semiconductor)

双极-CMOS：一种将双极型晶体管（高速大驱动）和 CMOS 晶体管（高精度低功耗）集成在同一芯片上的技术。

20. SOI (Silicon on Insulator)

绝缘衬层上的硅：一种特殊的硅片材料，在表层硅和衬底之间有绝缘层，用其制造^的芯片，速度更快，功耗更低。

21. FinFET (Fin Field-Effect Transistor)

鳍式场效应晶体管

一种3D结构的晶体管，其导电沟道像鱼鳍一样立于硅表面，能有效控制漏电流，是先进工艺。

22. PCM (Process Control Monitor)

工艺控制监测器：制作晶圆室向区域的测试结构，用于制造过程中实时工艺参数，并确保产品质量。

23. RAM (Random Access Memory)

随机存取存储器：易失性存储器，可与CPU直接快速交换数据，用于临时存储运行中的程序与数据。

24. ROM (Read-Only Memory)

只读存储器：非易失性存储器，存储固定信息（如系统启动代码）。

25. PLA (Programmable Logic Array)

可编程逻辑阵列：一种由可编程“与”阵列和“或”阵列构成的逻辑器件，用于实现组合逻辑。

26. I/O PAD (Input/output PAD)

输入/输出单元：芯片与外部电气和物理连接的接口单元，提供驱动/静电保护(ESD)功能。

27. EPLD (Erasable Programmable Logic Device)

可编程/可擦除逻辑器件：一种可重复编程的逻辑芯片，是CPLD（复杂可编程逻辑器件）和FPGA（现场可编程门阵列）的前身。

VLSI.

28. EEPROM (Electrically Erasable Programmable Read-Only Memory)

电可擦除可编程只读存储器：一种可用电信号多次擦除和重新编程的非易失性存储器，无需从电路板取下。

29. DFT (Design for Test)

可测试性设计：在芯片设计阶段就加入专用电路结构，以便制造后的缺陷测试。

30. DFM (Design for manufacturing)

可制造性设计：在设计中考虑并优化制造工艺的变异性与局限性，确保芯片制造之可靠性。

31. DFA (Design of Assembly)

可装配性设计：设计与芯片封装、组装流程相关优化，确保芯片能高效可靠进行后续封装测试。

32. BIST (Built-In Self-Test)

内建自测试：DFT的一种技术，在芯片内部嵌入自测试模块，让芯片自检自身故障。

33. DRC (Design Rule Check)

设计规则检查：使用EDA工具检查芯片版图是否符合芯片代工厂物理规则，确保设计能被生产出。

VLSI.

34. ERC (Electrical Rule check)

电气规则检查: 检查版图是否存在基本电气错误, 如短路、开路、悬空引脚等, 确保其电路连接正确性。

35. LVS (Layout vs. Schematic)

版图与原理图对照: 验证芯片物理版图是否与原始原理图在结构上连接关系一致。